

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

014727096 \*\*Image available\*\*

WPI Acc No: 2002-547800/200258

XRPX Acc No: N02-433676

Source voltage conversion circuit and its control method, display, and portable terminal.

Patent Assignee: SONY CORP (SONY ); NAKAJIMA Y (NAKA-I)

Inventor: NAKAJIMA Y

Number of Countries: 024 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 200247243	A1	20020613	WO 2001JP10694	A	20011206	200258 B
JP 2002175027	A	20020621	JP 2000372353	A	20001207	200258
JP 2002175034	A	20020621	JP 2000372351	A	20001207	200258
JP 2002175049	A	20020621	JP 2000371045	A	20001206	200258
JP 2002176764	A	20020621	JP 2000372352	A	20001207	200258
US 20030011586	A1	20030116	WO 2001JP10694	A	20011206	200308
			US 2002182873	A	20020801	
KR 2002079822	A	20021019	KR 2002709914	A	20020801	200316
EP 1304791	A1	20030423	EP 2001270009	A	20011206	200329
			WO 2001JP10694	A	20011206	
CN 1419733	A	20030521	CN 2001807038	A	20011206	200355

Priority Applications (No Type Date): JP 2000372353 A 20001207; JP

2000371045 A 20001206; JP 2000372351 A 20001207; JP 2000372352 A 20001207

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 200247243 A1 J 80 H02M-003/07

Designated States (National): CN KR US

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LU

MC NL PT SE TR

JP 2002175027 A 8 G09F-009/30

JP 2002175034 A 11 G09G-003/20

JP 2002175049 A 10 G09G-003/36

JP 2002176764 A 13 H02M-003/07

US 20030011586 A1 G09G-005/00

KR 2002079822 A H02M-003/07

EP 1304791 A1 E H02M-003/07 Based on patent WO 200247243

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LI

LU MC NL PT SE TR

CN 1419733 A H02M-003/07

Abstract (Basic): WO 200247243 A1

NOVELTY - A source voltage conversion circuit comprising a charge pump circuit with switching devices (a N-ch MOS transistor Qn (12) and a P-ch MOS transistor Qp (12) in the output section wherein a switching pulse voltage (control pulse voltage) for the switching devices is diode-clamped by a first clamp circuit (13) when the source voltage

conversion circuit is started, and wherein the switching pulse voltage is clamped to a ground level (negative side circuit source potential) by a second clamp circuit (16) on the basis of a clamp pulse comprising an output voltage  $V_{out}$  when a starting process is ended, so that a sufficient drive voltage particularly for the Pch-MOS transistor  $Q_p$  (12) is obtained. This constitution provides a source voltage conversion circuit which can obtain a large current capacity with a small area circuit scale and its control method, a display loaded with the source voltage conversion circuit as the power circuit, and a portable terminal comprising this display.

USE - Power for displays in mobile equipment such as mobile phone.

pp; 80 DwgNo 9/42

Title Terms: SOURCE; VOLTAGE; CONVERT; CIRCUIT; CONTROL; METHOD; DISPLAY;  
PORTABLE; TERMINAL

Derwent Class: P85; U13; U14; U24; W01

International Patent Class (Main): G09F-009/30; G09G-003/20; G09G-003/36;  
G09G-005/00; H02M-003/07

International Patent Class (Additional): G02F-001/133; G02F-001/1368;  
G09F-009/00; G09G-003/30

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

07306545    \*\*Image available\*\*

ACTIVE MATRIX TYPE DISPLAY DEVICE AND PORTABLE TERMINAL USING THE SAME

PUB. NO.:        2002-175027 [JP 2002175027 A]

PUBLISHED:      June 21, 2002 (20020621)

INVENTOR(s):    NAKAJIMA YOSHIHARU

APPLICANT(s):   SONY CORP

APPL. NO.:      2000-372353 [JP 2000372353]

FILED:          December 07, 2000 (20001207)

INTL CLASS:     G09F-009/30; G02F-001/133; G02F-001/1368; G09F-009/00;  
                 G09G-003/20; G09G-003/30; G09G-003/36

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide an active matrix type display device enabling cost reduction of the set as a whole, and making the set thinner and compact, and to provide a portable terminal using the same.

SOLUTION: In the active matrix type display device, provided with a display area part 12 where pixels including liquid crystal cells are arranged into a matrix form, at least a transistor circuit 15 for transforming a single DC voltage into a plurality of different DC voltages and supplying them to H-drivers 13U, 13D and a V-driver 14 is constructed on the same glass substrate 11 as the display area part 12 using the same process.

COPYRIGHT: (C)2002, JPO

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175027

(P 2 0 0 2 - 1 7 5 0 2 7 A)

(43) 公開日 平成14年6月21日 (2002. 6. 21)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09F 9/30	338	G09F 9/30 338	2H092
G02F 1/133	550	G02F 1/133 550	2H093
1/1368		1/1368	5C006
G09F 9/00	348	G09F 9/00 348	C 5C080
G09G 3/20	612	G09G 3/20 612	B 5C094

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-372353 (P 2000-372353)

(22) 出願日 平成12年12月7日 (2000. 12. 7)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 仲島 義晴

○ 東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

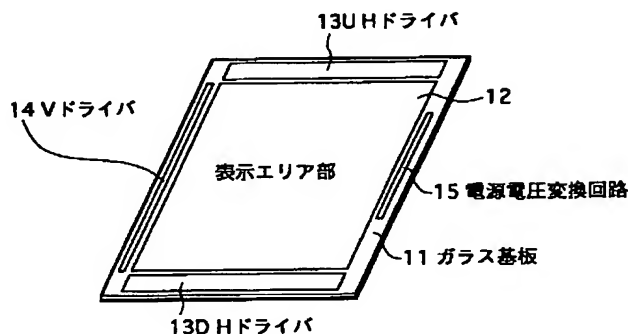
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置およびこれを用いた携帯端末

## (57) 【要約】

【課題】 複数の電源電圧変換回路を液晶表示装置の外部もしくは内部の別の基板上に設けた場合、セット全体のコストアップにつながるとともに、装置のサイズアップ、特に厚みが増大する。

【解決手段】 液晶セルを含む画素がマトリクス状に配置されてなる表示エリア部12を備えたアクティブマトリクス型液晶表示装置において、単一の直流電圧を電圧値の異なる複数の直流電圧に変換してHドライバ13U、13DやVドライバ14に対して与える電源電圧変換回路15を構成する少なくともトランジスタ回路を、表示エリア部12と共に同一のガラス基板11上に同一プロセスを用いて作成するようにする。



## 【特許請求の範囲】

【請求項1】 電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、  
前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、  
前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、  
単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して前記垂直駆動回路および前記水平駆動回路に与える電源電圧変換回路とを具備し、  
前記電源電圧変換回路を構成する少なくともトランジスタ回路が、前記表示エリア部と同一基板上に同一プロセスを用いて作成されることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記表示エリア部の各画素において、前記電気光学素子を駆動する能動素子が薄膜トランジスタからなり、  
前記トランジスタ回路は薄膜トランジスタを用いて構成されることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 前記電源電圧変換回路は、前記基板上において前記水平駆動回路が配置されていない辺のいずれかに配置されることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項4】 前記電気光学素子が液晶セルであることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項5】 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項6】 表示部として、  
電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、  
前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、  
前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、  
単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して前記垂直駆動回路および前記水平駆動回路に与える電源電圧変換回路とを具備し、  
前記電源電圧変換回路を構成する少なくともトランジスタ回路が、前記表示エリア部と同一基板上に同一プロセスを用いて作成されてなるアクティブマトリクス型表示装置を用いたことを特徴とする携帯端末。

【請求項7】 前記アクティブマトリクス型表示装置は、前記電気光学素子として液晶セルを用いた液晶表示装置であることを特徴とする請求項6記載の携帯端末。

【請求項8】 前記アクティブマトリクス型表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置である

ことを特徴とする請求項6記載の携帯端末。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置およびこれを用いた携帯端末に関し、特に単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換する電源電圧変換回路を備えたアクティブマトリクス型表示装置およびこれを表示部に用いた携帯端末に関する。

## 10 【0002】

【従来の技術】近年、携帯電話機やPDA(Personal Digital Assistants)などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その出力表示部として搭載されている液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力を要しない特性を持ち、低消費電力の表示デバイスであるためである。

【0003】携帯端末では、電源として単一電源電圧のバッテリーが用いられる。一方、液晶表示装置において、マトリクス状に配された画素を駆動する水平駆動回路では、ロジック部とアナログ部とで異なる直流電圧が用いられ、また画素に情報を書き込む垂直駆動回路では、水平駆動回路側よりも絶対値の大きい直流電圧が用いられることになる。

【0004】したがって、携帯端末に搭載される液晶表示装置には、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換する電源電圧変換回路(DC-DCコンバータ)が用いられる。そして、複数種類の直流電圧の使用に対して、従来は、液晶表示装置の外部もしくは内部の別の基板上に複数の電源電圧変換回路を設けることで対応していた。

## 30 【0005】

【発明が解決しようとする課題】しかしながら、複数の電源電圧変換回路を液晶表示装置の外部もしくは内部の別の基板上に設ける構成を採った場合には、部品点数が増え、また組立作業が必要となることから、セット全体のコストアップにつながるとともに、装置のサイズアップ、特に厚みが増大し、コンパクト化の妨げになるという問題が生ずる。特に、電源電圧変換回路は一般に高耐圧を必要とするため、その集積化にも多くの制限があった。

【0006】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、セット全体の低コスト化、薄型化およびコンパクト化を可能としたアクティブマトリクス型表示装置およびこれを用いた携帯端末を提供することにある。

## 40 【0007】

【課題を解決するための手段】上記目的を達成するために、本発明では、電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、この表示エリア

部の各画素を行単位で選択する垂直駆動回路と、この垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して前記垂直駆動回路および前記水平駆動回路に与える電源電圧変換回路とを具備するアクティブマトリクス型表示装置において、電源電圧変換回路を構成する少なくともトランジスタ回路を、表示エリア部と同一基板上に同一プロセスを用いて作成する構成を採っている。そして、このアクティブマトリクス型表示装置は、携帯端末の表示部として用いられる。

【0008】上記構成のアクティブマトリクス型表示装置あるいはこれを用いた携帯端末において、電源電圧変換回路を構成する少なくともトランジスタ回路を、表示エリア部と共に同一基板上に同一プロセスを用いて作成することにより、製造プロセスを簡略化できるため、低コスト化が図れる。また、集積化に伴って装置本体の薄型化、コンパクト化が図れる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す概略構成図である。ここでは、例えば、各画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明するものとする。

【0010】図1において、透明絶縁基板、例えばガラス基板11上には、液晶セルを含む画素がマトリクス状に多数配置されてなる表示エリア部12と共に、上下一対のHドライバ（水平駆動回路）13U、13DおよびVドライバ（垂直駆動回路）14が搭載され、さらに電源電圧変換回路15が集積されている。ガラス基板11は、能動素子（例えば、トランジスタ）を含む多数の画素回路がマトリクス状に配置形成される第1の基板と、この第1の基板と所定の間隙をもって対向して配置される第2の基板とによって構成される。そして、これら第1、第2の基板間に液晶が封入される。

【0011】図2に、表示エリア部12の具体的な構成の一例を示す。ここでは、図面の簡略化のために、3行（ $n-1$ 行～ $n+1$ 行）4列（ $m-2$ 列～ $m+1$ 列）の画素配列の場合を例に採って示している。図2において、表示エリア部12には、垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…と、データライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…とがマトリクス状に配線され、それらの交点部分に単位画素23が配置されている。

【0012】単位画素23は、画素トランジスタである薄膜トランジスタTFT、液晶セルLCおよび保持容量Csを有する構成となっている。ここで、液晶セルLCは、薄膜トランジスタTFTで形成される画素電極（一

方の電極）とこれに対向して形成される対向電極（他方の電極）との間で発生する容量を意味する。

【0013】薄膜トランジスタTFTは、ゲート電極が垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に接続され、ソース電極がデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に接続されている。液晶セルLCは、画素電極が薄膜トランジスタTFTのドレイン電極に接続され、対向電極が共通ライン24に接続されている。保持容量Csは、薄膜トランジスタTFTのドレイン電極と共通ライン24との間に接続されている。共通ライン24には、所定の直流電圧がコモン電圧Vcomとして与えられる。

【0014】垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…の各一端は、図1に示すVドライバ14の対応する行の各出力端にそれぞれ接続される。Vドライバ14は、例えばシフトレジスタによって構成され、垂直転送クロックVCK（図示せず）に同期して順次垂直選択パルスを発生して垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に与えることによって垂直走査を行う。

【0015】一方、表示エリア部12において、例えば、奇数番目のデータライン…、 $22m-1$ 、 $22m+1$ 、…の各一端が図1に示すHドライバ13Uの対応する列の各出力端に、偶数番目のデータライン…、 $22m-2$ 、 $22m$ 、…の各他端が図1に示すHドライバ13Dの対応する列の各出力端にそれぞれ接続される。Hドライバ13U、13Dの具体的な構成の一例を図3に示す。

【0016】図3に示すように、Hドライバ13Uは、シフトレジスタ25U、サンプリングラッチ回路（データ信号入力回路）26U、線順次化ラッチ回路27UおよびDA変換回路28Uを有する構成となっている。シフトレジスタ25Uは、水平転送クロックHCK（図示せず）に同期して各転送段から順次シフトパルスを出力することによって水平走査を行う。サンプリングラッチ回路26Uは、シフトレジスタ25Uから与えられるシフトパルスにตอบสนองして、入力される所定ビットのデジタル画像データを点順次にてサンプリングしてラッチする。

【0017】線順次化ラッチ回路27Uは、サンプリングラッチ回路26Uで点順次にてラッチされたデジタル画像データを1ライン単位で再度ラッチすることによって線順次化し、この1ライン分のデジタル画像データを一斉に出力する。DA変換回路28Uは例えば基準電圧選択型の回路構成をとり、線順次化ラッチ回路27Uから出力される1ライン分のデジタル画像データをアナログ画像信号に変換して先述した画素エリア部12のデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に与える。

【0018】下側のHドライバ13Dについても、上側

のHドライバ13Uと全く同様に、シフトレジスタ25D、サンプリングラッチ回路26D、線順次化ラッチ回路27DおよびDA変換回路28Dを有する構成となっている。なお、本例に係る液晶表示装置では、表示エリア部12の上下にHドライバ13U、13Dを配する構成を採ったが、これに限定されるものではなく、上下のいずれか一方のみに配する構成を採ることも可能である。

【0019】図1および図3から明らかなように、電源電圧変換回路15についても、Hドライバ13U、13DおよびVドライバ14と同様に、表示エリア部12と共に同一のガラス基板11上に集積される。ここで、例えば表示エリア部12の上下にHドライバ13U、13Dを配する構成を採る液晶表示装置の場合には、Hドライバ13U、13Dが搭載されていない辺の額縁エリア(表示エリア部12の周辺エリア)に電源電圧変換回路15を搭載するのが好ましい。

【0020】何故ならば、Hドライバ13U、13Dは、上述した如くVドライバ14に比べて構成要素が多く、その回路面積が非常に大きくなる場合が多いことから、Hドライバ13U、13Dが搭載されていない辺の額縁エリアに搭載することで、有効画面率(ガラス基板11に対する有効エリア部12の面積率)を低下させることなく、電源電圧変換回路15を表示エリア部12と同一のガラス基板11上に集積することができるからである。

【0021】なお、本例に係る液晶表示装置においては、Hドライバ13U、13Dが搭載されていない辺の額縁エリアの一方側にはVドライバ14が集積されていることから、その反対側の辺の額縁エリアに電源電圧変換回路15を集積する構成を採っている。

【0022】また、電源電圧変換回路15の集積に際しては、表示エリア部12の各画素トランジスタとして薄膜トランジスタTFTを用いていることから、電源電圧変換回路15を構成するトランジスタとしても薄膜トランジスタを用い、少なくともこれらトランジスタ回路を表示エリア部12と同一プロセスを用いて作成することにより、その製造が容易になるとともに、低コストにて実現できる。

【0023】薄膜トランジスタについては、近年の性能向上や消費電力の低下に伴って集積化が容易になっているのが現状である。したがって、電源電圧変換回路15、特に少なくともトランジスタ回路を表示エリア部12の画素トランジスタと同じ薄膜トランジスタを用いて同一のガラス基板11上に同一プロセスにて一体的に形成することにより、製造プロセスの簡略化に伴う低コスト化、さらには集積化に伴う薄型化、コンパクト化を図ることができる。

【0024】続いて、電源電圧変換回路15の具体的な構成について説明する。ここでは、電源電圧変換回路と

して、例えばチャージポンプを用いた構成のものを例に採って説明するものとする。

【0025】図4は、チャージポンプ型電源電圧変換回路の一構成例を示す回路図であり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。

【0026】図4において、単一の直流電源電圧VCCを与える電源とグランド(GND)の間には、PchMOSトランジスタQp11とNchMOSトランジスタQn11とが直列に接続され、かつ各ゲートが共通に接続されてCMOSインバータ31を構成している。このCMOSインバータ31のゲート共通接続点には、パルス発生源32から所定の周波数のスイッチングパルスが印加される。

【0027】CMOSインバータ31のドレイン共通接続点(ノードB)には、コンデンサC11の一端が接続されている。コンデンサC11の他端には、スイッチ素子、例えばNchMOSトランジスタQn12のドレインおよびPMOSトランジスタQp12のソースがそれぞれ接続されている。NchMOSトランジスタQn12のソースとグランドの間には、負荷コンデンサC12が接続されている。

【0028】CMOSインバータ31のゲート共通接続点には、コンデンサC13の一端が接続されている。コンデンサC13の他端には、ダイオードD11のアノードが接続されている。ダイオードD11は、そのカソードが接地されて第1のクランプ回路33を構成している。コンデンサC13の他端にはさらに、NchMOSトランジスタQn12およびPchMOSトランジスタQp12の各ゲートがそれぞれ接続されている。PchMOSトランジスタQp12のドレインは接地されている。

【0029】コンデンサC13の他端とグランドの間には、PchMOSトランジスタQp13が接続されている。このPchMOSトランジスタQp13のゲートには、パルス発生源34で発生されるクランプ用パルスがレベルシフト回路35でレベルシフトされて与えられる。これらPchMOSトランジスタQp13、パルス発生源34およびレベルシフト回路35は、スイッチングトランジスタ(NchMOSトランジスタQn12およびPchMOSトランジスタQp12)のスイッチングパルス電圧をクランプする第2のクランプ回路36を構成している。

【0030】この第2のクランプ回路36において、レベルシフト回路35は、本電源電圧変換回路に入力される電源電圧VCCを正側回路電源、負荷コンデンサC12の両端から導出される本回路の出力電圧Voutを負側回路電源とし、パルス発生源34で発生される第1の振幅( $VCC - 0$  [V])のクランプ用パルスを、第2の振幅( $VCC - Vout$  [V])のクランプ用パルスにレベルシフトしてPchMOSトランジスタQp13のゲートに与える。これにより、PchMOSトランジスタ

Qp13のスイッチング動作がより確実に行われることになる。

【0031】次に、上記構成の負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作について、図5(A)のタイミングチャートを用いて説明する。なお、図5(A)のタイミングチャートには、図4(A)の回路におけるノードA～Gの各信号波形A～Gを示している。

【0032】電源投入時(起動時)には、パルス発生源32で発生されるスイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、先ずダイオードD11によって、負側の回路電源電位であるグラ

ンド(GND)レベルからダイオードD11のしきい値電圧 $V_{th}$ 分だけレベルシフトした電位に“H”レベルクランプされる。

【0033】そして、スイッチングパルスが“L”レベル(0V)のときは、PchMOSトランジスタQp11、Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレ

ベルとなる。次いで、スイッチングパルスが“H”レベル(VCC)になると、NchMOSトランジスタQn11、Qn12がオン状態となり、ノードBの電位がグラ

ンドレベル(0V)になるため、ノードCの電位が-VCCレベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出力電圧 $V_{out}$ (=-VCC)となる。

【0034】次に、出力電圧 $V_{out}$ がある程度立ち上がると(起動プロセス終了時)、クランプパルス用のレベルシフト回路35が動作を始める。このレベルシフト回路35が動作し始めると、パルス発生源34で発生された振幅 $VCC-0$ [V]のクランプ用パルスは、当該レベルシフト回路35において、振幅 $VCC-V_{out}$ [V]のクランプ用パルスにレベルシフトされ、しかる

後PchMOSトランジスタQp13のゲートに印加される。

【0035】このとき、クランプ用パルスの“L”レベルが出力電圧 $V_{out}$ 、即ち-VCCであるため、PchMOSトランジスタQp13が確実にオン状態となる。これにより、ノードDの電位は、グラ

ンドレベル(負側の回路電源電位)に“H”レベルクランプされる。これにより、以降のポンピング動作において、特にPchMOSトランジスタQp12に対して十分な駆動電圧が得られる。

【0036】上述したように、チャージポンプを用いた電源電圧変換回路において、その出力部に設けられたスイ

ッチ素子(NchMOSトランジスタQn12およびPchMOSトランジスタQp12)に対する制御パルス(スイッチングパルス)の電圧を、本回路の起動時には

先ず第1のクランプ回路33のダイオードD11によるクランプ、起動プロセス終了後は第2のクランプ回路36によるクランプ、というように2段階に分けてクランプすることにより、特にPchMOSトランジスタQp12に対して十分な駆動電圧をとることができる。

【0037】これにより、PchMOSトランジスタQp12において十分なスイッチング電流が得られるようになるため、安定したDC-DC変換動作が行えるようになるとともに、変換効率を向上させることができる。特に、PchMOSトランジスタQp12のトランジスタサイ

ズを大きくしなくても、十分なスイッチング電流が得られるため、小面積の回路規模にて電流容量の大きな電源電圧変換回路を実現できる。

【0038】その効果は、しきい値 $V_{th}$ が大きいトランジスタ、例えば薄膜トランジスタを用いた場合に特に大きい。すなわち、第2のクランプ回路36を用いることにより、TFT回路ではその特性の改善効果が大きい。そして、この回路を用いることで、TFT集積化が容易になる。このTFTによる集積化の結果、表示装置の小型化が可能になる。

【0039】図4(B)に示す昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作は同じである。

【0040】すなわち、図4(B)において、スイッチングトランジスタおよび第2のクランプ用トランジスタ(MOSトランジスタQp14、Qn14、Qn13)が、図4(A)の回路のMOSトランジスタQn12、Qp12、Qp13と逆導電型となるとともに、ダイオードD11がコンデンサC11の他端と電源(VCC)との間に接続され、かつレベルシフト回路35が本回路の出力電圧 $V_{out}$ を正側回路電源とし、グラ

ンドレベルを負側回路電源とした構成となっており、この点が図4(A)の回路と構成上相違するのみである。

【0041】回路動作上においても、基本的には、図4(A)の回路と全く同じである。異なるのは、スイッチングパルス電圧(制御パルス電圧)が起動時に先ずダイオードクランプされ、起動プロセス終了時にVCCレベル(正側の回路電源電位)にクランプされ、また出力電圧 $V_{out}$ として電源電圧VCCの2倍の電圧値 $2 \times VCC$ が導出される点だけである。図5(B)に、図4(B)の回路におけるノードA～Gの各信号波形A～Gのタイミングチャートを示す。

【0042】ここでは、チャージポンプ型電源電圧変換回路の回路例について説明したが、これは一例に過ぎず、表示エリア部12と共に同一基板上に一体的に集積する電源電圧変換回路15としては、上記の回路例のものに限定されるものではない。

【0043】なお、上記実施形態では、アクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、これに限られるものではなく、エレクトロルミ



ネッセンス (EL) 素子を各画素の電気光学素子として用いた EL 表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

【0044】また、本発明に係るアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワードプロセッサ等の OA 機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機や PDA などの携帯端末の表示部として用いて好適なものである。

【0045】図 6 は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外観図である。

【0046】本例に係る携帯電話機は、装置筐体 41 の前面側に、スピーカ部 42、表示部 43、操作部 44 およびマイク部 45 が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、表示部 43 には例えば液晶表示装置が用いられ、この液晶表示装置として、先述した実施形態に係るアクティブマトリクス型液晶表示装置が用いられる。

【0047】このように、携帯電話機などの携帯端末において、先述した実施形態に係るアクティブマトリクス型液晶表示装置を表示部 43 として用いることにより、当該液晶表示装置が装置全体の低コスト化、さらには薄型化、コンパクト化を図ることができるため、端末本体の低コスト化、さらには薄型化、コンパクト化に大きく寄与できる利点がある。

【0048】

【発明の効果】以上説明したように、本発明によれば、画素がマトリクス状に配置されてなる表示エリア部を備えたアクティブマトリクス型表示装置において、電源電

圧変換回路を構成する少なくともトランジスタ回路を、表示エリア部と共に同一基板上に同一プロセスを用いて作成するようにしたことにより、製造プロセスを簡略化できるため低コスト化が図れる、また集積化に伴って装置本体の薄型化、コンパクト化が図れる。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す概略構成図である。

【図 2】液晶表示装置の表示エリア部の構成例を示す回路図である。

【図 3】H ドライバの具体的な構成の一例を示すブロック図である。

【図 4】チャージポンプ型電源電圧変換回路の一構成例を示す回路図であり、(A) は負電圧発生タイプを、(B) は昇圧タイプをそれぞれ示している。

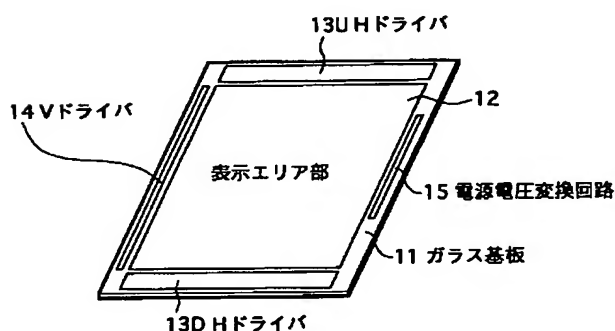
【図 5】チャージポンプ型電源電圧変換回路の回路動作を説明するためのタイミングチャートであり、(A) は負電圧発生タイプの場合を、(B) は昇圧タイプの場合をそれぞれ示している。

【図 6】本発明に係る携帯端末である携帯電話機の構成の概略を示す外観図である。

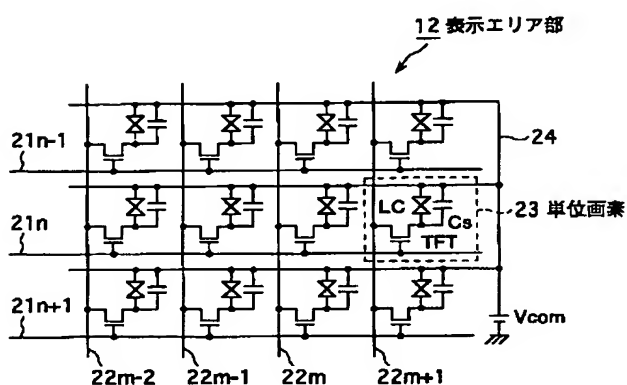
【符号の説明】

11…ガラス基板、12…表示エリア部、13U、13D…H ドライバ (水平駆動回路)、14…V ドライバ (垂直駆動回路)、15…電源電圧変換回路、23…単位画素、31…CMOS インバータ、32、34…パルス発生源、33…第 1 のクランプ回路、35…レベルシフト回路、36…第 2 のクランプ回路

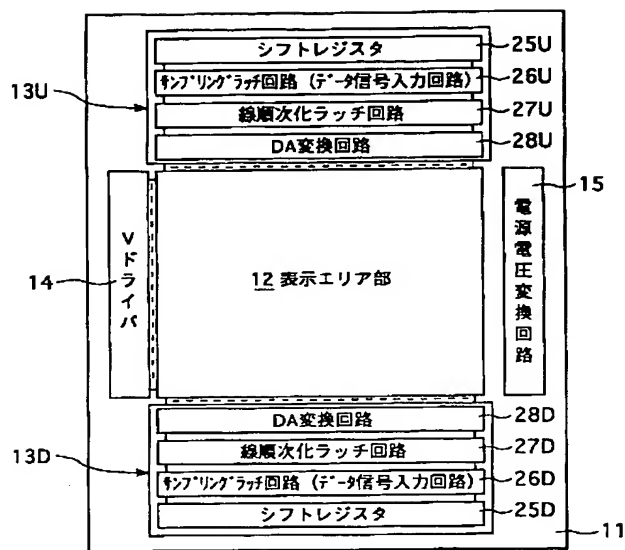
【図 1】



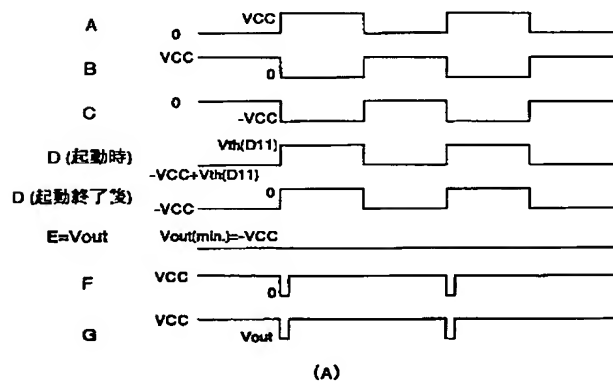
【図 2】



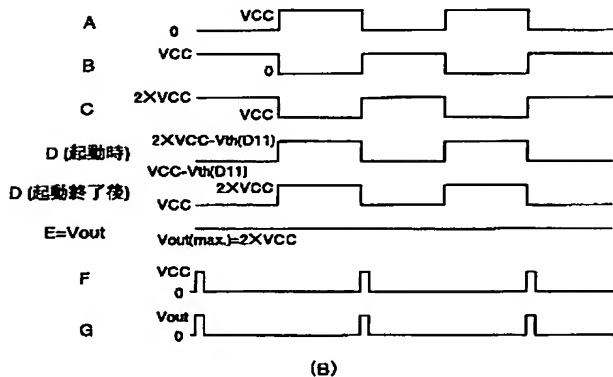
【図3】



【図5】

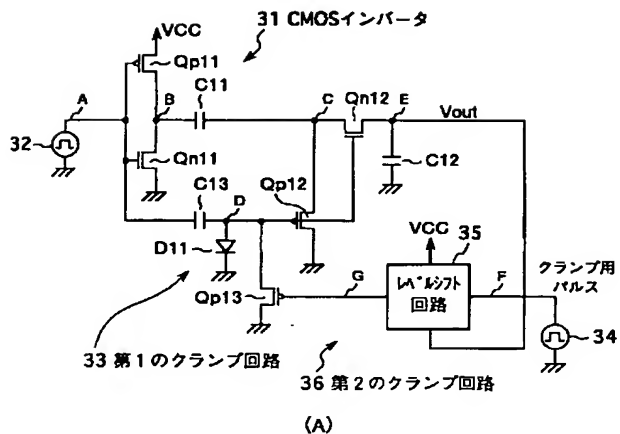


(A)

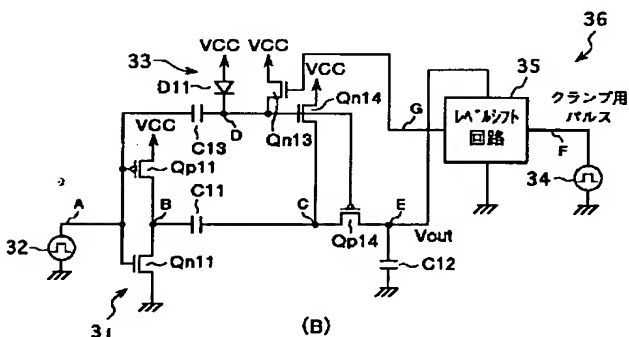


(B)

【図4】

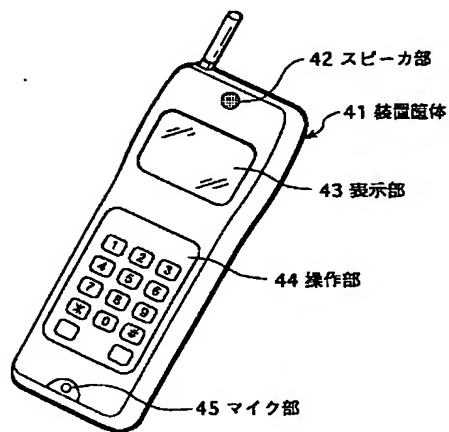


(A)



(B)

【図6】



## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
G 0 9 G 3/20	6 1 2 6 8 0	G 0 9 G 3/20	6 1 2 D 5 G 4 3 5 6 8 0 G Z
3/30		3/30	
3/36		3/36	

F ターム (参考) 2H092 JA24 NA25 PA01  
 2H093 NA16 NC01 NC34 ND42 ND54  
 NE01  
 5C006 AA16 AF83 AF84 BB16 BC03  
 BC12 BC20 BF03 BF04 BF11  
 BF34 BF36 BF37 BF42 BF45  
 BF46 EB05 FA41 FA51  
 5C080 AA10 BB05 DD22 DD27 DD28  
 FF03 FF11 JJ02 JJ03 JJ04  
 5C094 AA15 AA44 BA27 BA43 CA19  
 DB04 EA04 EA07 EB02 HA10  
 5G435 AA00 AA17 AA18 BB05 BB12  
 EE33 EE37 GG21 KK05 LL07